



JP7176714

Bibli

Pag 1

Drawing

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP7176714
 Publication date: 1995-07-14
 Inventor(s): AZUMA HIROYASU
 Applicant(s): NEC CORP
 Requested Patent: ☐ JP7176714
 Application Number: JP19930344934 19931220
 Priority Number(s):
 IPC Classification: H01L27/148
 EC Classification:
 Equivalents: JP2571011B2

Abstract

PURPOSE: To realize a one-layer transfer electrode, by forming transfer electrodes with a small space on the same layer, and improve smear characteristics, by lowering a step part at a light-receive opening.

CONSTITUTION: A charge transfer region 102 is formed on a semiconductor substrate 101, and a gate oxide film 103, a non-doped polysilicon film 104, and a silicon nitride film 105 are formed on the substrate (step-a). A photoresist film 106 is formed, and boron ions are implanted with a mask of the photoresist film 106 (step-b). The silicon oxide film 105 is etched with the mask of the photoresist film 106 and further side-etched with a given distance to form a non-doped polysilicon exposed region 107 with a given width (step-c). In this state, the substrate is treated with hydrazine and the non-doped polysilicon film is etched to separate charge transfer electrodes with a minute space. In a solid-state image sensing device, the charge transfer electrodes are used for a transfer charge in a vertical transfer register.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2571011号

(45) 発行日 平成 9 年 (1997) 1 月 16 日

(24) 登録日 平成 8 年 (1996) 10 月 24 日

(51) Int.Cl.⁶

H 0 1 L 27/148

識別記号

庁内整理番号

F I

H 0 1 L 27/14

技術表示箇所

B

請求項の数 5 (全 7 頁)

(21) 出願番号 特願平5-344934

(22) 出願日 平成 5 年 (1993) 12 月 20 日

(65) 公開番号 特開平7-176714

(43) 公開日 平成 7 年 (1995) 7 月 14 日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 東 寛保

東京都港区芝五丁目 7 番 1 号 日本電気
株式会社内

(74) 代理人 弁理士 尾身 祐助

審査官 恩田 春香

(54) 【発明の名称】 半導体装置の製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜、多結晶シリコン膜およびマスク材料層を順次形成する工程と、前記マスク材料層上に選択的にイオン注入マスク材を形成する工程と、該イオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記イオン注入マスク材をマスクにして前記マスク材料層をエッチング除去するとともに前記イオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンを用いて露出されたボロンが添加されていない多結晶シリコン膜を選択的に除去して前記多結晶シリコン膜を複数の転送電極に分割する工程と、前記マスク材料層をエッチング除去する工程と、を含む半導体装置の製造

2

方法。

【請求項 2】 前記マスク材料層がシリコン窒化膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 半導体基板上にゲート絶縁膜、多結晶シリコン膜およびマスク材料層を順次形成する工程と、前記マスク材料層上に選択的に第 1 のイオン注入マスク材を形成する工程と、該第 1 のイオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記第 1 のイオン注入マスク材をマスクにして前記マスク材料層をエッチング除去するとともに前記第 1 のイオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンを用いて露出されたボロ

3

ンが添加されていない多結晶シリコン膜を選択的に除去して前記多結晶シリコン膜を複数の転送電極に分割する工程と、前記マスク材料層をエッチング除去する工程と、前記多結晶シリコン膜の不要部分を第2のイオン注入マスク材で被覆する工程と、前記第2のイオン注入マスク材をマスクとして前記多結晶シリコン膜にボロンを添加する工程と、前記第2のイオン注入マスク材を除去しヒドラジンをういて露出したボロンの添加されていない多結晶シリコン膜を除去する工程と、を含む半導体装置の製造方法。

【請求項4】 半導体基板の表面領域内に光電変換領域および電荷転送領域を形成する工程と、前記半導体基板上にゲート絶縁膜、多結晶シリコン膜およびマスク材料層を順次形成する工程と、前記マスク材料層上に選択的にイオン注入マスク材を形成する工程と、該イオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記イオン注入マスク材をマスクにして前記マスク材料層をエッチング除去するとともに前記イオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンをういて露出されたボロンが添加されていない多結晶シリコン膜を選択的に除去して前記多結晶シリコン膜を複数の転送電極に分割する工程と、前記マスク材料層をエッチング除去する工程と、を含む半導体装置の製造方法。

【請求項5】 半導体基板の表面領域内に光電変換領域および電荷転送領域を形成する工程と、前記半導体基板上にゲート絶縁膜、多結晶シリコン膜およびマスク材料層を順次形成する工程と、前記マスク材料層上に選択的に第1のイオン注入マスク材を形成する工程と、該第1のイオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記第1のイオン注入マスク材をマスクにして前記マスク材料層をエッチング除去するとともに前記第1のイオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンをういて露出されたボロンが添加されていない多結晶シリコン膜を選択的に除去して前記多結晶シリコン膜を複数の転送電極に分割する工程と、前記マスク材料層をエッチング除去する工程と、前記多結晶シリコン膜の不要部分を第2のイオン注入マスク材で被覆する工程と、前記第2のイオン注入マスク材をマスクとして前記多結晶シリコン膜にボロンを添加する工程と、前記第2のイオン注入マスク材を除去しヒドラジンをういて露出したボロンの添加されていない多結晶シリコン膜を除去する工程と、を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

4

【産業上の利用分野】本発明は、電荷結合装置(CCD)や固体撮像素子等の半導体装置の製造方法に関し、特に、電荷転送速度を劣化させずに単層で電荷転送電極を形成しうるようにした半導体装置の製造方法に関する。

【0002】

【従来の技術】電荷結合装置の開発当初の転送電極構造では、図7に示す単層構造のものも提案されていた。すなわち、同図に示されるように、半導体基板201上に、ゲート酸化膜203を介してポリシリコン等からなる第1電荷転送電極204a、第2電荷転送電極204bを形成したものである。しかし、この電極構造では、第1電荷転送電極と第2電荷転送電極間にはリソグラフィの解像限界(約1~2μm)である距離aが存在し、ここでは電界がかからないため、転送速度が速くなると転送不良が発生する。

【0003】そのため、製品においてこの構造の転送電極が採用されることはなく、実際には図8に示す2層ポリシリコン電極構造等の多層電極構造のものが用いられている。2層構造の電荷結合装置では、半導体基板301上にゲート酸化膜303を介して第1層ポリシリコンにより第1、第3電荷転送電極304a、304cが、第2層ポリシリコンにより第2、第4電荷転送電極304b、304dが形成されており、これにより前述した転送電極間の電界がかからない距離を十分に小さくすることができ、高速電荷転送が可能となる。

【0004】従来、電荷結合装置の応用素子である固体撮像素子においても、図9に示すように、2層ポリシリコン電極構造が採用されていた。図9(a)は、従来の2次元固体撮像素子のセル部の平面図であり、図9

(b)はそのA-A線の断面図である。図9に示すように、p型半導体基板401の表面領域内には、n型の電荷転送領域402、光電変換領域413、p⁺型拡散層414が形成されており、半導体基板上にはゲート酸化膜を介して、第1層ポリシリコンにより第1、第3電荷転送電極404a、404cが、第2層ポリシリコンにより第2、第4電荷転送電極404b、404dが形成されている。その上に層間絶縁膜416を介して光電変換領域413上に開口部417aの形成された金属遮光膜417が被着されている。

【0005】

【発明が解決しようとする課題】上述した従来の2層電極構造では、特に2次元の固体撮像素子において、以下の欠点があった。従来の固体撮像素子では、図9(a)のCに示す部分において、第1層のポリシリコンで形成される第1電荷転送電極404aと第2層のポリシリコンで形成される第3電荷転送電極404bが重なっており、金属遮光膜の材料であるAlのカバレッジがあまりよくないため、光電変換領域の側壁において図9(b)

においてDで示すように、未被覆部や薄膜部が発生し易

5

い。そのため、光がD部より電荷転送領域に侵入して、スミア特性を劣化させる。また、この側壁のポリシリコンが2層に重なっている部分での高さが高いため、そこで反射される光が斜め光として電荷転送領域まで入りこみスミア特性を劣化させていた。また、従来の2層電極構造のものでは、電極を形成するのに2回のポリシリコンの被着、2回のポリシリコン熱酸化工程、2回のフォトリソグラフィ工程が必要となり、工数が多くなるという問題点があった。

【0006】

【課題を解決するための手段】上記問題点を解決するため、本発明によれば、半導体基板(101)上にゲート絶縁膜(103)、多結晶シリコン膜(104)およびマスク材料層(105)を順次形成する工程と、前記マスク材料層上に選択的にイオン注入マスク材(106)を形成する工程と、該イオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記イオン注入マスク材(106)をマスクにして前記マスク材料層(105)をエッチング除去するとともに前記イオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンをを用いて露出されたボロンが添加されていない多結晶シリコン膜(107)を選択的に除去して前記多結晶シリコン膜(104)を複数の転送電極(104a~104d)に分割する工程と、前記マスク材料層(105)をエッチング除去する工程と、を含む半導体装置の製造方法が提供される。

【0007】また、本発明によれば、固体撮像素子の製造方法として、半導体基板(101)の表面領域内に光電変換領域(113)および電荷転送領域(102)を形成する工程と、前記半導体基板上にゲート絶縁膜(103)、多結晶シリコン膜(104)およびマスク材料層(105)を順次形成する工程と、前記マスク材料層上に選択的にイオン注入マスク材(106)を形成する工程と、該イオン注入マスク材をマスクにしてボロンをイオン注入する工程と、前記イオン注入マスク材(106)をマスクにして前記マスク材料層(105)をエッチング除去するとともに前記イオン注入マスク材直下の前記マスク材料層を所定距離サイドエッチしてボロンが添加された多結晶シリコン膜の表面およびボロンが添加されていない多結晶シリコン膜の一部の表面を露出させる工程と、ヒドラジンをを用いて露出されたボロンが添加されていない多結晶シリコン膜(107)を選択的に除去して前記多結晶シリコン膜を複数の転送電極(104a~104d)に分割する工程と、前記マスク材料層をエッチング除去する工程と、を含む半導体装置の製造方法が提供される。

【0008】

【実施例】次に、本発明の実施例について図面を参照し

6

て説明する。図1(a)は、本発明の第1の実施例により形成された2次元固体撮像装置の平面図であり、図1(b)はそのA-A線の断面図である。また、図2(a)~図2(c)乃至図3(a)~図3(c)は、図1(a)のB-B線での断面における本実施例の主要工程断面図である。まず、図2(a)に示すように、p型半導体基板101の表面領域内にn型不純物を拡散して電荷転送領域102を形成する。次に、半導体基板上にゲート酸化膜103を約500Å、ポリシリコン膜104を約5000Å、シリコン窒化膜105を約1000Åの膜厚に順次形成する。

【0009】次に、図2(b)に示すように、将来第1電荷転送電極および第2電荷転送電極となる領域上にフォトレジスト膜106を形成し、このフォトレジスト膜をマスクにボロンを $1 \times 10^{18} \text{cm}^{-3}$ 程度の濃度になるように添加した後、低温のアニーリング処理によりボロンを活性化する。次に、図2(c)に示すように、フォトレジスト膜106をマスクにしてシリコン窒化膜105をエッチングする。この時、フォトレジスト膜端から約0.4ミクロン程度フォトレジスト直下のシリコン窒化膜105をサイドエッチし、ボロンが添加されていないノンドープポリシリコン露出領域107を形成する。

【0010】次に、3(a)に示すように、残存するシリコン窒化膜105をマスクにヒドラジンとイソプロピルアルコールの混合液でノンドープポリシリコン露出領域107のポリシリコン膜をエッチングして分離溝108を形成し、ポリシリコン膜104を第1電荷転送電極104a、第2電荷転送電極104bおよび第3電荷転送電極104cに分離した後、シリコン窒化膜105を除去する。上記ヒドラジンでの処理において、ボロンが添加されたポリシリコン膜は殆どエッチングされない。ここで、分離溝108の幅は約0.4ミクロン程度が最適である。

【0011】次に、ポリシリコン膜の不要部分を除去するために、該不要部分のポリシリコン膜上にフォトレジスト膜(図示なし)を形成し、このフォトレジスト膜をマスクにボロンを $1 \times 10^{18} \text{cm}^{-3}$ 以上の濃度になるように添加しフォトレジスト膜を除去した後、低温のアニーリング処理によりボロンを活性化する。次いで、再びヒドラジンとイソプロピルアルコールの混合液で処理して不要部分のポリシリコン膜をエッチング除去する。

【0012】次に、図3(b)に示すように、露出しているゲート酸化膜103を除去したのち、酸性性雰囲気中にて熱処理を行って各転送電極の表面に膜厚約500Åの熱酸化膜109を形成し、続いて、SOG膜110をスピン塗付と熱処理によって形成して表面を平坦化する。次に、図3(c)に示すように、第1電荷転送電極104a、第3電荷転送電極104c上にコンタクトホール111を形成し、電荷転送のための電圧を供給する金属配線112(金属遮光膜を兼ねる)を形成して装置

の形成を完了する。ここで、他の電荷転送電極への転送電圧の供給は装置周辺部（図示せず）から同様に行われる。

【0013】図1に戻って、図1(a)、(b)に示されるように、遮光膜を兼ねる金属配線112には、光電変換領域上において開口部112aが設けられる。図1(b)に示されるように、この受光用開口部において、図9に示した従来例の場合とは異なって転送電極の重なりがないため、開口部の高さを低くすることができる。よって、本実施例の構造により、開口部側壁での反射による電荷転送領域への光の漏れ込みを少なくすることができるとともに金属遮光膜（金属配線）のステップカバレージを改善することができるため、不完全遮光膜による光の漏れ込みも抑制することができる。したがって、図9に示した従来例の場合に比較してスミア特性を格段に改善することができる。

【0014】図4(a)は、本発明の第2の実施例を説明するための平面図であり、図4(b)および図4(c)は、それぞれ図4(a)におけるA-A線およびB-B線での断面図である。この第2の実施例では、第1、第3電荷転送電極に転送電圧を供給するための金属配線と遮光膜とを別個の金属膜により形成している。図4(c)において、SOG膜110および熱酸化膜109にコンタクトホール111を形成するまでの工程は第1の実施例の場合と同様であるのでその説明は省略する。

【0015】コンタクトホール111を形成した後、図4(c)に示すように、第1、第3電荷転送電極104a、104cへ電圧を供給するための金属配線115を形成する。この時金属配線115の光電変換領域113寄りの端部は電荷転送電極の端部より十分に内側へ形成される。次に、層間絶縁膜116を形成した後、光電変換領域113上に開口部117aの設けられた金属遮光膜117を形成して装置の形成を完了する。本実施例においても、従来構造と異なり受光用開口部において転送電極が単層であるため、先の実施例の場合と同様にステップカバレージは良好で同様にスミア特性は改善されている。

【0016】図5、図6は、それぞれ図4に示した本発明の第2の実施例の変更例を示す平面図である。図5の例では、第2、第4電荷転送電極104b、104dが、金属配線115によって転送電圧の供給を受け、第1、第3電荷転送電極104a、104cは、金属遮光膜を兼ねる金属配線112によって転送電圧の供給を受けるように構成されている。第2、第4電荷転送電極104b、104dは、数ブロックおきに金属配線115と接続される。また、図6の変更例では、第1、第3電荷転送電極104a、104cが、金属配線115aによって転送電圧の供給を受け、第2、第4電荷転送電極104b、104dが、金属配線115bによって転送

電圧の供給を受けるように構成されており、金属配線115a、115bの上には層間絶縁膜を介して受光領域上に開口部117aの開孔された金属遮光膜117が形成されている。

【0017】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、特許請求の範囲に記載された本願発明の要旨内において各種の変更が可能である。例えば、実施例では、各転送電極間の分離溝を形成した後にポリシリコン膜の不要部分を除去していたが、この方法に代え、分離溝の形成に先立って予め転送電極部以外のポリシリコン膜を除去しておくようにすることができる。また、実施例では、2次元固体撮像素子について説明したが、本発明は、1次元固体撮像素子に対してもさらには一般の電荷結合装置に対しても適用が可能である。

【0018】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法は、ポリシリコン膜に選択的にボロンをドーピングするとともにポリシリコン膜を覆うシリコン窒化膜をサイドエッチしてそのサイドエッチ部にノンドープのポリシリコン膜を露出させこれをエッチング除去することにより転送電極間の分離を行うものである。本発明によれば、電極間距離をフォトリソグラフィ技術の解像度以下の寸法に加工することができるようになる。したがって、本発明によれば、多層構造の転送電極を用いなくとも転送電極間の電界は弱まることがなくなり、単層の転送電極により十分高速に電荷転送を行うことが可能となる。よって、少ない工数により転送効率の良好な電荷転送装置を形成することが可能となり、また、固体撮像素子にあっては、受光用開口部の段差を低くすることができるようになり、転送電極を重ねることにより劣化していたスミア特性を大幅に改善することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例により形成された固体撮像素子の平面図と断面図。

【図2】 本発明の第1の実施例を説明するための工程断面図の一部。

【図3】 本発明の第1の実施例を説明するための工程断面図の一部。

【図4】 本発明の第2の実施例を説明するための固体撮像素子の平面図と断面図。

【図5】 本発明の第2の実施例の変更例を説明するための平面図。

【図6】 本発明の第2の実施例の他の変更例を説明するための平面図。

【図7】 第1の従来例の断面図。

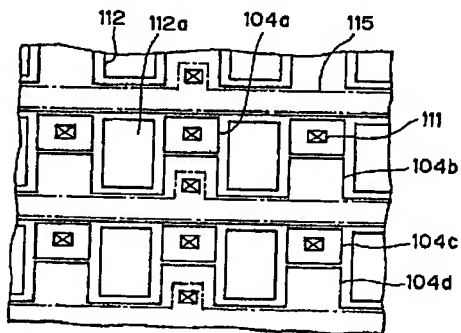
【図8】 第2の従来例の断面図。

【図9】 従来の固体撮像素子の平面図と断面図。

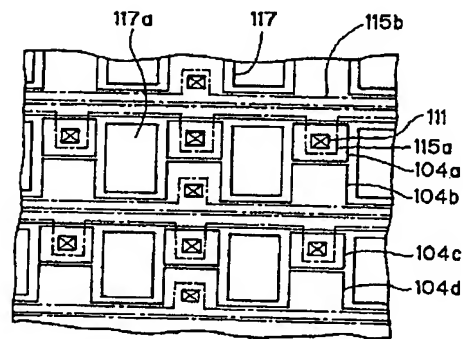
【符号の説明】

- 101、401 p型半導体基板
- 201、301 半導体基板
- 102、402 電荷転送領域
- 103、203、303、403 ゲート酸化膜
- 104 ポリシリコン膜
- 104a~104d、304a~304d、404a~404d 第1~第4電荷転送電極
- 204a、204b 第1、第2電荷転送電極
- 105 シリコン窒化膜
- 106 フォトリソグスト膜
- 107 ノンドープポリシリコン露出領域
- 108 分離溝

【図5】

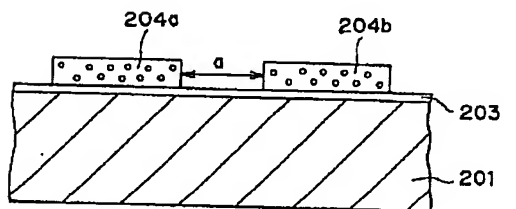


【図6】



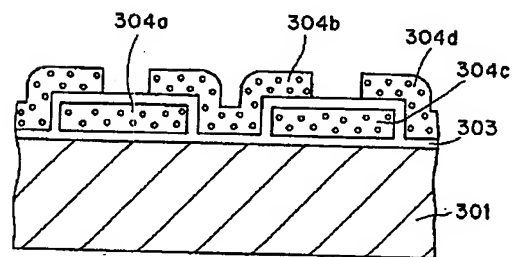
115a、115b…金属配線

【図7】



201…半導体基板
203…ゲート酸化膜 204a、204b…第1、第2電荷転送電極

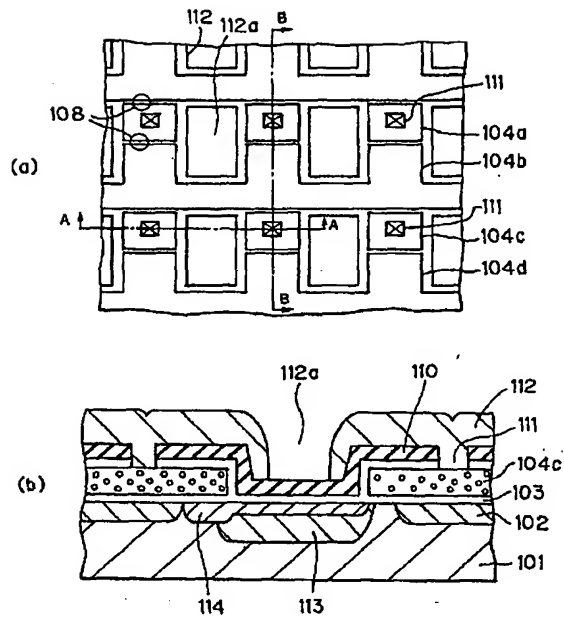
【図8】



301…半導体基板
303…ゲート酸化膜
304a~304d…第1~第4電荷転送電極

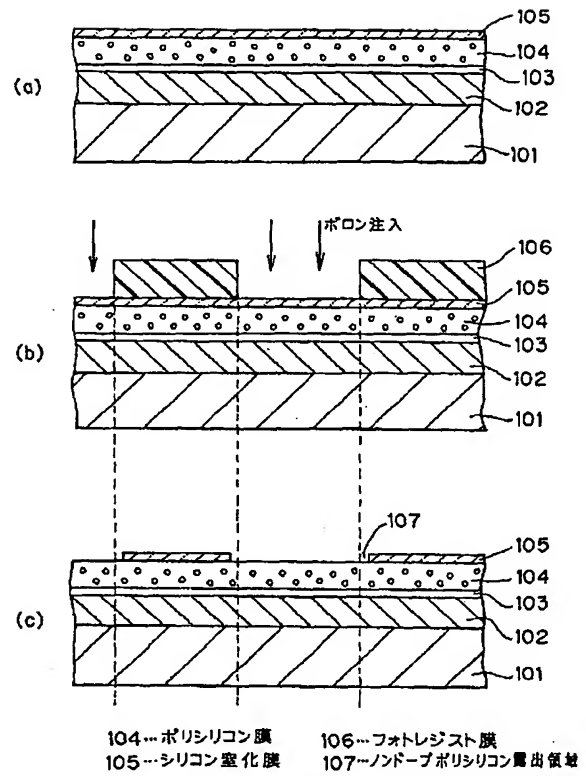
- 109 熱酸化膜
- 110 SOG膜
- 111 コンタクトホール
- 112 金属配線
- 112a 開口部
- 113、413 光電変換領域
- 114、414 p⁺型拡散層
- 115、115a、115b 金属配線
- 116、416 層間絶縁膜
- 10 117、417 金属遮光膜
- 117a、417a 開口部

【図1】



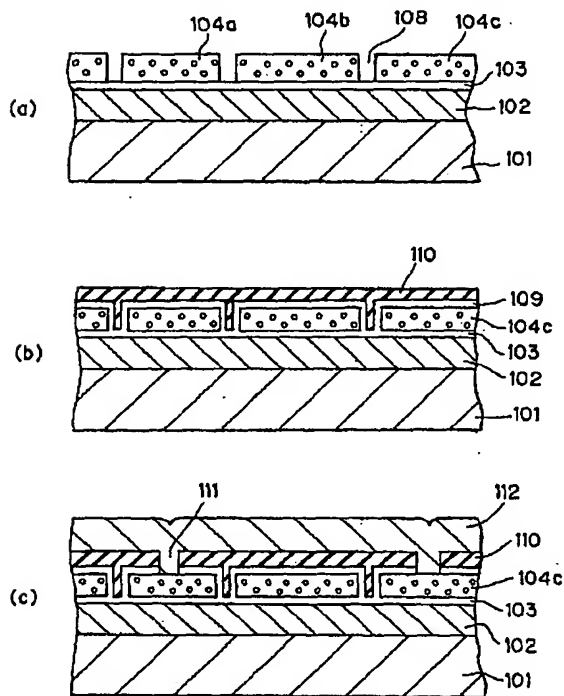
- 101... p型半導体基板
102... 電荷転送領域
103... ゲート酸化膜
104a~104d... 第1~第4電荷転送電極
108... 分離溝
110... SOG膜
111... コンタクトホール
112... 金属配線
112a... 開口部
113... 光電変換領域
114... p⁺型拡散層

【図2】



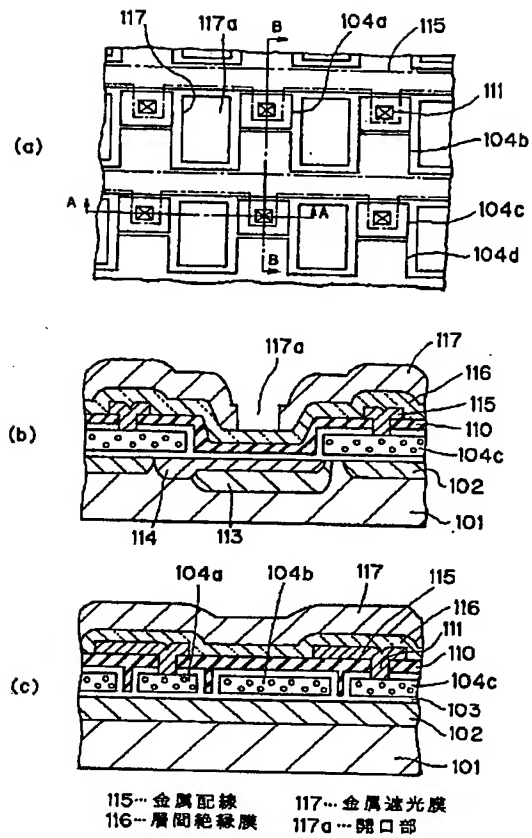
- 104... ポリシリコン膜
105... シリコン窒化膜
106... フォトリソグ膜
107... ノンドープポリシリコン露出領域

【図3】



- 109... 熱酸化膜

【図4】



【図9】

